



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06291281 A**

(43) Date of publication of application: 18 . 10 . 94

(51) Int. Cl.

**H01L 27/11**  
**H01L 21/90**(21) Application number: **05074847**(71) Applicant: **SONY CORP**

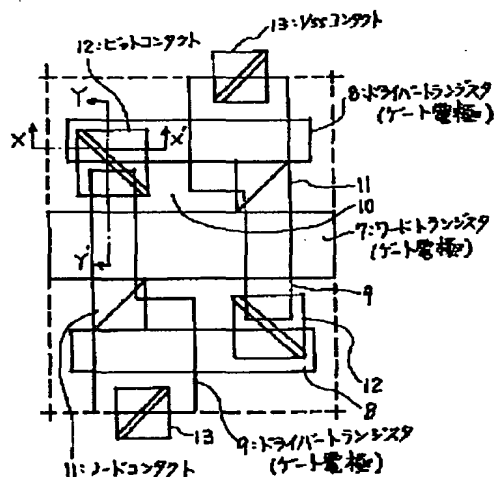
(22) Date of filing: 31 . 03 . 93

(72) Inventor: **MANO MICHIO****(54) SRAM MEMORY CELL STRUCTURE AND ITS FORMATION****(57) Abstract:**

**PURPOSE:** To provide an SRAM memory cell structure which enables reduction of a cell area and prevents increase of diffusion resistance and capacity, and a formation method thereof.

**CONSTITUTION:** In an SRAM memory cell structure wherein a word transistor and a driver transistor are arranged on a substrate and a load element is laminated on an upper layer part thereof, a word line is arranged in an approximately a center of a cell, two driver transistors 8, 9 are arranged at both sides thereof and a wiring for a bit contact 12 of a multilayer structure is arranged inside a contact hole which supplies a signal to the driver transistor.

COPYRIGHT: (C)1994,JPO



みかART 2000 725

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-291281

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl.	識別記号	序内整理番号	FI	技術表示箇所
H01L 27/11 21/90		D 7514-4M 7210-4M	H01L 27/10	381

審査請求 未請求 請求項の数3 OL (全7頁)

(21)出願番号 特願平5-74847

(22)出願日 平成5年(1993)3月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 浜野 三千雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 山口 邦夫 (外1名)

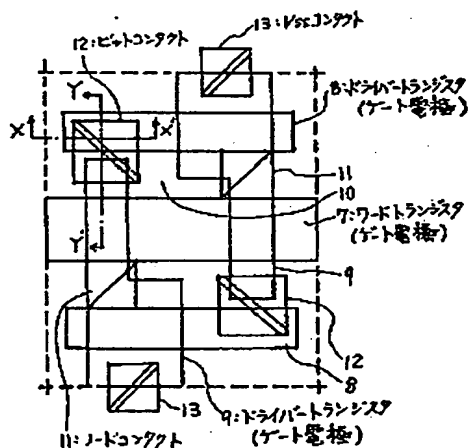
(54)【発明の名称】 SRAMメモリーセル構造及びその形成方法

(57)【要約】

【目的】セル面積を縮小化すると共に並列抵抗、容量の増大を防止し得るSRAMメモリーセル構造及びその形成方法を提供する。

【構成】基板25上にワードトランジスタとドライバートランジスタを配し、負荷素子を上層部に積層して構成してなるSRAMメモリーセル構造において、セルの略中央にワード線を配し、その両側に2つのドライバートランジスタ8、9を配し、且つ前記ドライバートランジスタに信号を供給するコンタクトホール内に、ビットコンタクト12用の配線を多層構造配置してなる。

本発明に係るSRAMメモリーセル構造の一例の例ハザード図



(2)

特開平6-291281

1

【特許請求の範囲】

【請求項1】 基板上にワードトランジスタとドライバートランジスタを配し、負荷素子をその上層部に積層して構成してなるSRAMメモリーセル構造において、セルの略中央にワード線を配し、その両側に2つのドライバートランジスタを配し、且つ前記ドライバートランジスタに信号を供給するコンタクトホール内に、ビットコンタクト用の配線を多層構造配置してなることを特徴とするSRAMメモリーセル構造。

【請求項2】 前記2つのドライバートランジスタが、セル中央に対し略点対称に配されてなることを特徴とする請求項1記載のSRAMメモリーセル構造。

【請求項3】 SRAMメモリーセル構造を形成する方法であって、シリコン基板上に素子分離領域を形成した後、ドライバートランジスタ及びワードトランジスタのそれぞれのゲート電極を形成する工程、

全面に第1絶縁膜を形成する工程、

該第1絶縁膜上にTFT負荷素子ゲート電極を形成する工程、

全面に第2絶縁膜を形成する工程、

該第2絶縁膜上にTFT負荷素子活性領域を形成する工程、

全面に第3絶縁膜を形成した後、前記第3絶縁膜、前記TFT負荷素子活性領域、前記第2絶縁膜、前記TFT負荷素子ゲート電極、前記第1絶縁膜、前記ドライバートランジスタのゲート電極及び前記素子分離領域の表面部を順次エッチング除去して第1開口を形成する工程、前記第1開口内壁面を含む全面に導電膜を形成した後、エッチバックすることにより前記第1開口の内壁面に前記導電膜からなるサイドウォールを形成する工程、

前面に第4絶縁膜を形成した後、エッチングすることにより前記シリコン基板に達する第2開口を前記第1開口内に形成する工程、

前記第2開口にコンタクトを形成する工程を含むことを特徴とするSRAMメモリーセル構造の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、SRAMメモリーセル構造及びその形成方法に係り、特にコンタクトホールの面積を減少し、且つ信号伝達に伴う抵抗等を減少させたSRAMメモリーセル構造及びその形成方法に関する。

【0002】

【従来の技術】フリップフロップ回路を基本のメモリーセルとするMOSのスタティックRAM(SRAM)はダイナミック型に比較して高速であり、非破壊の読み出しが可能である。

【0003】図10に一般的なCMOS-SRAMメモリーセル回路を示す。図10に示すように、CMOS-SRAMメモリーセルでは同一チップ上にPチャンネルMOSTランジスタ(Tr)3及び4とNチャンネルM

2

OSTランジスタ(Tr)1、2、5及び6を形成してメモリーを実現している。図10のNチャンネルMOSTr1及び6はワードTrであり、NチャンネルMOSTr2及び5はドライバートrであり、PチャンネルTr3及び4は負荷Trである。

【0004】従来のSRAMセル構造として、例えば薄膜トランジスタ(Thin Film Transistor: TFT)を用いた構造であるTFT負荷型SRAMメモリーセル構造が知られている。その構造の一例を図11に示す。この図はワードTrとドライバートrのそれぞれのゲート電極の配置と、それらのTrに関連した配線のコンタクトの配置のみを示した。図11において、ワード線(電極)7が図10のTr1及び6に相当し、ドライバートランジスタ(電極)8及び9が図10のTr2及び5に相当し、ワード線7に対して2つのドライバートr8及び9が略平行に且つ点対称にレイアウトされているのが特徴である。領域10はワード線7と、ドライバートr8及び9とを絶縁分離する素子分離領域を示し、ノードコンタクト11から取り出される信号Sはワード線7を通過し、電極8のコンタクトホール8a部の下の拡散層を経由してビットコンタクト12から取り出される。

【0005】

【発明が解決しようとする課題】図11に示した従来のTFT負荷型のSRAMメモリーセル構造では、上述したようにノードコンタクト(記憶ノード)11からビットコンタクト12に記憶情報の信号を伝達するために、ドライバートランジスタ8の下に拡散層を通す必要があった。そのために抵抗、容量が大きくなり、しかも各ゲート電圧に対する絶縁耐圧が保証しにくくなった。

【0006】また、このようにドライバートランジスタ8のゲートコンタクトとビットコンタクトとが隔離して配置されていることは単位セルの面積の増大としての観点で好ましくなかった。

【0007】そこで本発明は上記課題を考慮して、単セル面積を縮小すると共に、拡散抵抗、容量の増大を防止し得るSRAMメモリーセル構造及びその形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記課題は本発明によれば、基板上にワードトランジスタとドライバートランジスタを配し、負荷素子をその上層部に積層して構成してなるSRAMメモリーセル構造において、セルの略中央にワード線を配し、その両側に2つのドライバートランジスタを配し、且つ前記ドライバートランジスタに信号を供給するコンタクトホール内に、ビットコンタクト用の配線を多層構造配置してなることを特徴とするSRAMメモリーセル構造によって解決される。

【0009】更に上記課題は本発明によれば、SRAMメモリーセル構造を形成する方法であって、シリコン基板上に素子分離領域を形成した後、ドライバートランジ

(3)

特開平6-291281

3

スタ及びワードトランジスタのそれぞれのゲート電極を形成する工程、全面に第1絶縁膜を形成する工程、該第1絶縁膜上にTFT負荷素子ゲート電極を形成する工程、全面に第2絶縁膜を形成する工程、該第2絶縁膜上にTFT負荷素子活性領域を形成する工程、全面に第3絶縁膜を形成した後、前記第3絶縁膜、前記TFT負荷素子活性領域、前記第2絶縁膜、前記TFT負荷素子ゲート電極、前記第1絶縁膜、前記ドライバートランジスタのゲート電極及び前記素子分離領域の表面部を順次エッチング除去して第1開口を形成する工程、前記第1開口内表面を含む全面に導電膜を形成した後、エッチバックすることにより前記第1開口の内表面に前記導電膜からなるサイドウォールを形成する工程、前面に第4絶縁膜を形成した後、エッチングすることにより前記シリコン基板に達する第2開口を前記第1開口内に形成する工程、前記第2開口にコンタクトを形成する工程を含むことを特徴とするSRAMメモリーセル構造の形成方法によって解決される。

【0010】

【作用】本発明によれば、ドライバートランジスタのゲートコンタクトとビットコンタクト12を多層構造にして同一位置で配置し、接続することができるため、信号の伝達距離の減少に伴う抵抗、容量の減少が図られ、しかも単位セル内の各種コンタクトホールが占める面積を縮小することができる。

【0011】本発明では、2つのドライバートランジスタ（ゲート電極）8、9はセル中央に対して略点对称配置にすることがメモリーセルの設計上、形がそろい、しかも読み出し書き込みのバランスの点からも有効である。

【0012】

【実施例】以下本発明の実施例を図面に基いて説明する。

【0013】図1は本発明に係るSRAMメモリーセル構造の一実施例パターン図を示す。図1において、従来技術の図11に示した要素と同一の要素は同一符号で示す。

【0014】図1に示すように、本発明のSRAMメモリーセル構造では、セル中央に配置されたワードトランジスタ（ゲート電極）7がワード線であり、図10のTr1及びTr6に対応し、ゲート電極8及び9がドライバートランジスタであり、図10のTr2及びTr5に対応する。このドライバートランジスタ8、9はワードトランジスタ7の中央（セル中心）に点对称に配置されている。

【0015】領域10がワード線7と、ドライバートランジスタ8、9を絶縁分離する素子分離領域である。このSRAMメモリーセル構造では、ノードコンタクト11から取り出される記憶情報信号はワードトランジスタ7を通過し、ゲート電極8のドライバートランジスタの

4

コンタクト部の下の拡散層を経由してビットコンタクト12から取り出すことができる。すなわち、本構造はコンタクト12が電極8のゲートコンタクトとビットコンタクトを兼用した、構造としている。このようなゲートコンタクトとビットコンタクトの兼用は同一位置配置を可能とする多層構造により可能となり、この構造により従来の拡散層を通してのコンタクトが不要となり、当然のことながらそれに対応する面積が縮小されることになる。

【0016】以下、上記本発明のSRAMのメモリーセルの形成方法を図1のX-X'工程断面図である図2及び図3、そして図1のY-Y'工程断面図である図4及び図5を参照して説明する。図2（a）と図4（a）、図2（b）と図4（b）、図2（c）と図4（c）そして図3（a）と図5（a）、図3（b）と図5（b）、図3（c）と図5（c）がそれぞれ同一工程時点の断面図となっている。

【0017】まず、図2（a）及び図4（a）に示すように、シリコン基板25上に熱酸化法により、SiO<sub>2</sub>からなる素子分離領域10を形成した後、CVD法を用いて多結晶シリコン（poly-Si）やそのシリサイド（poly side）を堆積し、所定形状にパターニングしてワードトランジスタ（Tr）のゲート電極7及びドライバートランジスタ（Tr）のゲート電極8を形成する。ワードTrのゲート電極7とドライバートTrのゲート電極8の間にN型、例えばAsイオンを注入し、N層30を形成する。

【0018】次に図2（b）及び図4（b）に示すように、全面にSiO<sub>2</sub>をCVD法により堆積させ、エッチバックすることにより、ゲート電極7の側壁及びゲート電極8の側壁にそれぞれサイドウォール7a及び8aを形成した後、再びN型のAsイオンを注入し、ゲート電極7と8の側壁間にN層31を形成する。このようにして、一般的なLDD形成工程及びソース・ドレインを形成する。その後、再度全面にCVD法によりSiO<sub>2</sub>等からなる第1絶縁膜15aを形成して、平坦化を行い、次にCVD法により約40nmの厚さのpoly-Siあるいはそのシリサイド（2-poly）を堆積させ、パターニングすることにより、TFTのゲート16を形成する。この状態のセルパターンを図6に示す。

【0019】次に、図2（c）及び図4（c）に示すように、第2絶縁膜15bをCVD法により形成した後、CVD法により約40nmの厚さのpoly-Si、あるいはそのシリサイド（3-poly）を堆積させ、パターニングすることによりPMOS TFT Trの活性（Active）領域17を形成し（その時のパターンである図7参照）、その上に第3絶縁膜15cを同様にCVD法により形成する。

【0020】この活性領域17は、TFTのソース・ドレイン及びチャネル、またVddラインとして用いる。

(4)

特開平6-291281

5

6

次に、Vssコンタクトホール13を開口し、選択タン  
グステン等の一般的な埋め込み技術を用いてコンタクト  
13を埋め込んだ後、図3(a)及び図5(a)に示す  
ように、コンタクトホール12を異方性エッチング、例  
えばRIEにより開口する。このとき、エッチングはシリ  
コン基板上の酸化膜でストップされるような条件を制  
御しておく。さらにその後、Vss層用の導電膜19を  
ドーブtpoly-Si等により積層する。

【0021】次に、パターン図8で示したように、Vss  
s用導電膜パターン19aを形成し、図3(b)及び図  
5(b)に示すように異方性エッチングを行なうことにより、  
コンタクト側壁にゲート電極8とTFTのゲート  
16とTFTのActive領域17とを接続する導電性サイ  
ドウォール領域20を形成する。

【0022】さらに図3(c)及び図5(c)に示すよ  
うに、第4絶縁膜15dを積層し、異方性エッチングに  
よりコンタクト12の底部をシリコン基板25表面層ま  
で開口する。そして、ふたたび一般的なコンタクト埋め  
込み技術例えばタングステン(W)プラグを応用すること  
により、コンタクト12を埋め込み、導電層を形成して  
ビット線21とする(平面図9参照)。このようにし  
てSRAMメモリーセル構造が完成する。もちろん、埋  
め込み前にコンタクト部の拡散層への電気的接続のため  
に、リン(P)などを用いて捕獲インブラを施してもよ  
い。

【0023】

【発明の効果】以上説明したように、本発明によれば、  
ドライバートランジスタのゲートコンタクトとビットコ  
ンタクトを同一の位置に多層構造でレイアウトすること  
が可能となる。そのため、単位セル内の各極コンタクト  
ホールがSRAMメモリーセル内で占める面積を減少さ  
せることができるので、余裕のあるセルデザインを施す  
ことができる。また拡散層を通して信号を伝達すること  
に伴う抵抗、容量等の増大等の不具合を回避することが  
できる。

【図面の簡単な説明】

【図1】本発明に係るSRAMメモリーセル構造の一実

施例パターン図である。

【図2】図1のSRAMメモリーセル構造の形成工程X  
-X'断面図(I)である。

【図3】図1のSRAMメモリーセル構造の形成工程X  
-X'断面図(II)である。

【図4】図1のSRAMメモリーセル構造の形成工程Y  
-Y'断面図(I)である。

【図5】図1のSRAMメモリーセル構造の形成工程Y  
-Y'断面図(II)である。

【図6】TFTゲート電極形成後のパターン図である。

【図7】TFTの活性領域形成後のパターン図である。

【図8】Vss用導電膜パターン形成後のパターン図で  
ある。

【図9】ビット線形成後のパターン図である。

【図10】一般的なCMOS SRAMメモリーセル回  
路図である。

【図11】従来のSRAMメモリーセル構造の一例を示  
すパターン図である。

【符号の説明】

1. 6 ワードトランジスタ(ゲート電極)
2. 5 ドライバートランジスタ(ゲート電極)
3. 4 負荷トランジスタ
- 7 ワード線(ワードトランジスタゲート電極)
8. 9 ドライバートランジスタ
- 10 素子分離領域
- 11 ノードコンタクト
- 12 ビットコンタクト
- 13 Vssコンタクト
- 15 a 第1絶縁膜
- 15 b 第2絶縁膜
- 15 c 第3絶縁膜
- 15 d 第4絶縁膜
- 17 TFTの活性領域
- 19 導電層(Vss層用)
- 20 導電性サイドウォール
- 21 ビット線

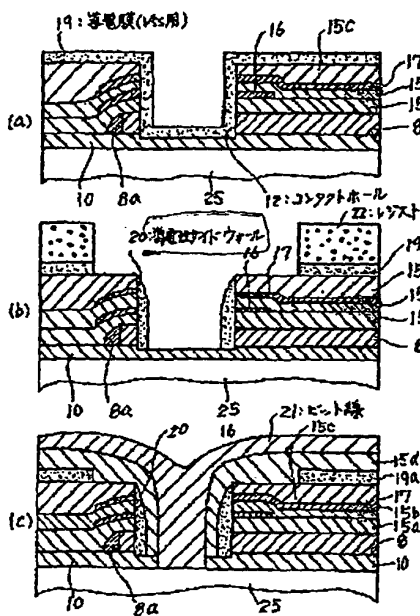


(6)

特開平6-291281

【図3】

図1のSRAMセル構造の形成工程 X-X'断面図

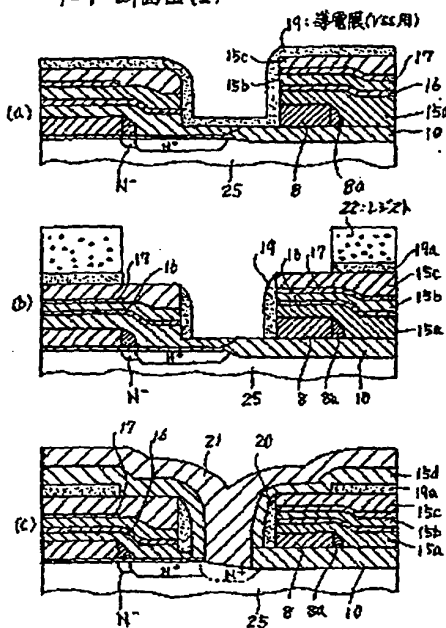


導電性サイドウォール  
に 16コンタクトを形成

【図7】

【図5】

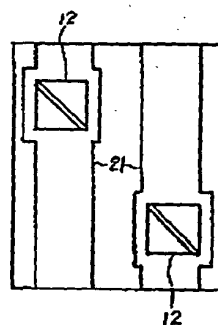
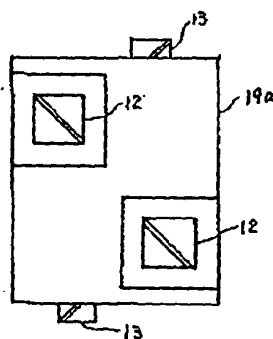
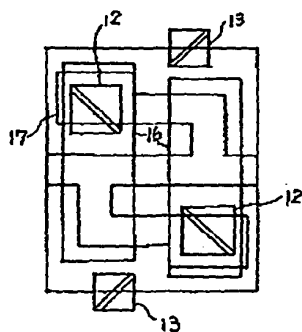
図1のSRAMセル構造の形成工程 Y-Y'断面図 (I)



【図8】

【図9】

TFTの活性領域形成後のパターン図 V<sub>ss</sub>用導電膜パターン形成後のパターン図 ビット線形成後のパターン図

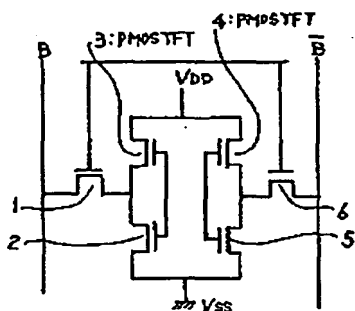


(7)

特開平6-291281

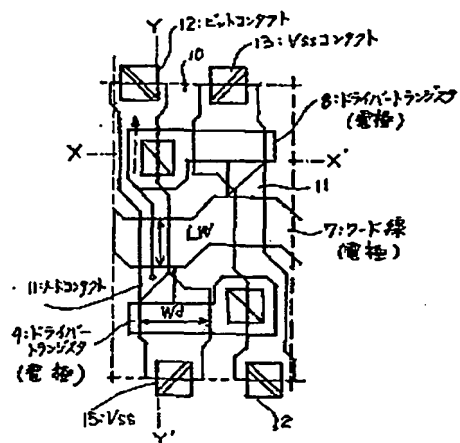
【図10】

一般的なCMOS SRAMメモリーセル回路図



【図11】

従来のSRAMメモリーセル構造の一例パターン図



【手続補正書】

【提出日】平成5年9月14日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】

一般的なCMOS SRAMメモリーセル回路図

